

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233799

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/94
27/04
21/822

H 0 1 L 29/94
27/04

Z
C

審査請求 未請求 請求項の数5 F D (全 7 頁)

(21) 出願番号 特願平10-259303

(22) 出願日 平成10年(1998) 8月28日

(31) 優先権主張番号 9 2 9 1 2 3

(32) 優先日 1997年 9月 3日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 デビッド・ルイス・ストルファ
アメリカ合衆国アリゾナ州フェニックス、
イースト・グラニテ・ビュー・ドライブ
3446

(74) 代理人 弁理士 大貫 進介 (外 1 名)

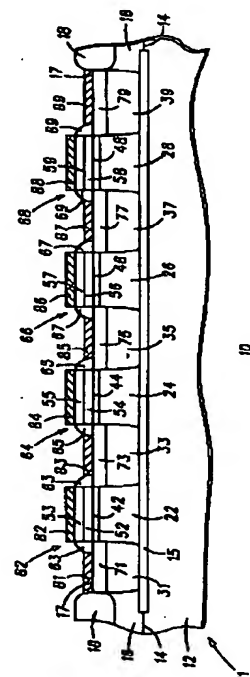
最終頁に続く

(54) 【発明の名称】 可変コンデンサおよびその製造方法

(57) 【要約】

【課題】 小さな電圧範囲に対して大きな容量範囲を有する電圧可変コンデンサおよびその製造方法を提供する。

【解決手段】 半導体基板 (11) 上に製造された電圧可変コンデンサ (10) は、ゲート構造 (62)、およびこのゲート構造 (62) の下にあるウエル (22) を含む。半導体基板 (11) 内の高濃度にドーパされた埋め込み層 (15) および高濃度にドーパされたコンタクト領域 (31) が、ウエル (22) から半導体基板 (11) の表面 (17) までの低抵抗導電路を形成する。マルチ・フィンガ・レイアウトを用いて、電圧可変コンデンサ (10) を構築する。動作において、電圧可変コンデンサ (10) 間に印加される電圧が変化すると、ウエル (22) 内の空乏領域の幅が変化し、これに応じて電圧可変コンデンサ (10) の容量も変化する。



【特許請求の範囲】

【請求項1】モノリシック・チューナであって：主面（17）を有する集積回路チップ（11）；前記集積回路チップ（11）の第1部分内のインダクタ；および前記集積回路チップ（17）の第2部分内にあり、前記インダクタに結合された半導体上金属（MOS）電圧制御可変コンデンサ（10）；から成ることを特徴とするモノリシック・チューナ。

【請求項2】前記MOS電圧制御可変コンデンサ（10）は：前記集積回路チップ（11）の前記第2部分内にあり、第1導電型および第1ドーパント濃度の複数のウェル（22、24、26、28）；前記集積回路チップ（11）の第2部分内にあり、互いに電気的に結合された、前記第1導電型および第2ドーパント濃度の複数のコンタクト領域（31、33、35、37、39）であって、前記第2ドーパント濃度は前記第1ドーパント濃度よりも高く、前記複数のコンタクト領域の第1コンタクト領域（31）および第2コンタクト領域（33）が前記複数のウェルの第1ウェル（22）に隣接する、複数のコンタクト領域（31、33、35、37、39）；前記集積回路チップ（11）内にあり、前記複数のウェル（22、24、26、28）および前記複数のコンタクト領域（31、33、35、37、39）の上に位置する、前記第1導電型および第3ドーパントの濃度の埋め込み層（15）であって、前記第3ドーパント濃度が前記第1ドーパント濃度よりも高い埋め込み層（15）；および前記集積回路チップ（11）の主面（17）上にあり、前記複数のウェル（22、24、26、28）の上に位置し、互いに電気的に結合された複数のゲート構造（62、64、66、68）；を含むことを特徴とする請求項1記載のモノリシック・チューナ。

【請求項3】可変コンデンサ（10）であって：主面（17）を有する半導体物質の本体（11）；前記半導体物質の本体（11）内にあり、該半導体物質の本体（11）の主面（17）からある深さの所にある埋め込み層（15）であって、第1導電型および第1ドーパント濃度を有する埋め込み層（15）；前記主面（17）から前記半導体物質の本体（11）内の前記深さまで達する複数のウェル（22、24、26、28）であって、前記第1導電型と、前記第1ドーパント濃度よりも低い第2ドーパント濃度とを有する複数のウェル（22、24、26、28）；前記複数のウェル（22、24、26、28）に隣接し、前記主面（17）から前記半導体物質の本体（11）内の前記深さまで達する複数のシンカ（31、33、35、37、39）であって、前記第1導電型と、前記第2ドーパント濃度よりも高い第3ドーパント濃度を有する複数のシンカ（31、33、35、37、39）；前記半導体物質の本体（11）上にあり、前記複数のウェル（22、24、26、

28）の上に位置する誘電体層（52、54、56、58）；および前記誘電体層（52、54、56、58）上にある複数の導電領域（53、55、57、59）；から成ることを特徴とする可変コンデンサ（10）。

【請求項4】前記複数のウェル（22、24、26、28）内において、前記半導体物質の本体（11）の主面（17）に隣接する複数の表面領域（42、44、46、48）を更に備え、該複数の表面領域（42、44、46、48）は、前記第1導電型と、前記第2ドーパント濃度より低い第4ドーパント濃度とを有することを特徴とする請求項3記載の可変コンデンサ（10）。

【請求項5】前記複数のシンカ（31、33、35、37、39）内において、前記半導体物質の本体（11）の主面（17）に隣接する複数のドーパ領域（71、73、75、77、79）を更に備え、該複数のドーパ領域（71、73、75、77、79）は、前記第1導電型と、前記第2ドーパント濃度より高い第4ドーパント濃度とを有することを特徴とする請求項3記載の可変コンデンサ（10）。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、電子素子に関し、更に特定すれば、可変コンデンサに関するものである。

【0002】

【従来の技術】インダクタ（L）および可変コンデンサ（C）から成るチューナは、可変共振周波数を与えるために広く用いられている。従来より、電圧制御チューナは、可変コンデンサとして機能するバラクタ（varactor）を含む。バラクタとは、逆バイアス・ダイオードのことである。バラクタに印加される電圧が変動すると、ダイオードの空乏幅が変化し、バラクタの容量および電圧制御チューナの共振周波数が変化する。

【0003】

【発明が解決しようとする課題】しかしながら、バラクタの容量変化範囲は非常に限られている。例えば、バラクタの容量は、通常、約4ボルトの電圧範囲に対して約2倍変化する。携帯ワイヤレス通信のような低電圧の用途では、約1ボルトの電圧範囲に対して約5倍以上の容量範囲が望ましい場合が多い。更に、バラクタ内のダイオードは、順方向にバイアスされた場合に導通し、バラクタに漏れの問題を生ずる。

【0004】したがって、電圧可変コンデンサおよびそのコンデンサを製造する方法を有することができれば有利であろう。このコンデンサは、品質係数が高くしかもおよび漏れが少ないことが望ましい。また、このコンデンサは小さな電圧範囲に対して大きな容量範囲を有することも望ましい。更に、このコンデンサは、モノリシック半導体チップ内に、他の集積回路デバイスと共に製造することが望ましい。更に、前述の方法は、既存の半導

体集積回路製造プロセスと適合性があれば、一層望ましいであろう。

【0005】

【課題を解決するための手段】概して言えば、本発明は、電圧可変コンデンサおよびこの電圧可変コンデンサの製造方法を提供する。電圧可変コンデンサは、半導体基板上に製造された半導体上金属酸化物(MOS: Metal Oxide on Semiconductor)コンデンサである。ゲート構造がコンデンサの上側プレートとして機能し、ゲート構造の下にあるウエルがコンデンサの下側プレートとして機能する。ゲート構造が多結晶シリコン層を含む場合、この電圧可変コンデンサのことを、単一ポリ・コンデンサと呼ぶ。高濃度にドーパされた埋め込み層と、ウエルと同一導電型で高濃度にドーパされたコンタクト領域が、ウエルから半導体基板の表面まで、低抵抗導通路を形成する。直列抵抗を更に減少させ、電圧可変コンデンサの品質係数(Q)を増大するために、マルチ・フィンガ・レイアウト(multi-finger layout)を用いて、電圧可変コンデンサを構築することが好ましい。動作において、上側および下側プレート間に印加される電圧が変化すると、ウエル内の空乏領域の幅が変化し、これに応じて電圧可変コンデンサの容量が変動する。好ましくは、電圧可変コンデンサは、集積回路チップ上に、他の半導体素子、例えば、電界効果トランジスタ、バイポーラ・トランジスタ、抵抗、インダクタ等と共に製造する。したがって、電圧可変コンデンサのことを、モノリシック電圧可変コンデンサとも呼ぶ。

【0006】

【発明の実施の形態】本発明による電圧可変コンデンサ10を、概略的に図1および図2に示す。より具体的には、図1は電圧可変コンデンサ10の概略平面図であり、図2は電圧可変コンデンサ10の切断線2-2に沿った概略断面図である。尚、図は同じ拡大率では描かれておらず、図面において同様の構造および機能の要素を表す際には、同じ参照番号を用いていることを注記しておく。

【0007】電圧可変コンデンサ10は、半導体物質の本体11内に製造する。半導体物質の本体11は、半導体基板12を含む。一例として、半導体基板12は、ドーパント濃度が1立方センチメートル当たり約 1×10^{15} 原子(原子/cm³)ないし約 1×10^{17} 原子/cm³のP導電型シリコン基板である。例えば、燐イオンまたはヒ素イオンのようなN導電型のイオンを、半導体基板12の前面14に隣接して注入する。注入されたイオンは、前面14に隣接して、半導体基板12内にドーパ層15を形成する。ドーパ層15は、例えば、約 1×10^{19} 原子/cm³ないし約 5×10^{22} 原子/cm³のドーパント濃度を有する。また、半導体物質の本体11は、半導体基板12の前面14上にエピタキシャル成長させた半導体物質の層16も含む。エピタキシャル層1

6の主面17のことを、半導体物質の本体11の主面とも呼ぶ。エピタキシャル層16は、ドーパ層15を埋め込む。したがって、ドーパ層15のことを埋め込み層とも呼ぶ。エピタキシャル層16の厚さは、埋め込み層15の深さにほぼ等しい。一例として、埋め込み層15の深さは、約500ナノメートル(nm)ないし約3,000nmの範囲である。尚、半導体基板12、埋め込み層15、およびエピタキシャル層16から成る半導体物質の本体11を、半導体基板または単に基板と呼ぶことも可能であることを注記しておく。

【0008】選択酸化(LOCOS: Local Oxidation of Silicon)プロセスにおいて、エピタキシャル層16の部分上に、フィールド酸化物領域18を形成する。フィールド酸化物領域18は、電圧可変コンデンサ10と基板11上に製造される他のデバイス(図示せず)との間に分離構造を設ける。オプションとして、フィールド酸化物領域18を形成する前に、イオン注入を行い、フィールド酸化物領域18の下に、高濃度ドーパ領域(図示せず)を形成する。高濃度ドーパ領域(図示せず)は、フィールド酸化物領域18の下に形成される寄生電界効果トランジスタの不要なターン・オンを防止する。尚、基板11上の絶縁構造は、例えば、ポリ・バッファLOCOS(poly-buffered LOCOS)、ポリ封止LOCOS(poly-encapsulated LOCOS)、トレンチ形成(trenching)等のような他のプロセスを用いても形成可能であることは理解されよう。

【0009】例えば、燐イオンまたはヒ素イオンのようなN導電型のイオンを、選択的にエピタキシャル層16内に注入し、N導電型ウエル22、24、26、28を形成する。ウエル22、24、26、28は、主面17からエピタキシャル層16内まで延び、埋め込み層15に達する。ウエル22、24、26、28のドーパント濃度は、例えば、 1×10^{15} 原子/cm³ないし 1×10^{17} 原子/cm³の間である。ウエル22、24、26、28は、コンデンサ10の下側プレートとして機能する。エピタキシャル層16内にイオンを注入するプロセスは、典型的に、主面17上に誘電体層(図示せず)を形成し、誘電体層上にフォトレジスト・マスク(図示せず)を形成し、フォトレジスト・マスク内の開口を通じてイオンを注入し、フォトレジスト・マスクを剥離し、基板11を加熱して注入したイオンをエピタキシャル層16内に追いやる工程を含む。これらの工程は、標準的なMOSおよび/またはバイポーラ製造プロセスと適合性がある。例えば、ウエル22、24、26、28は、p-チャネルMOS電界効果トランジスタ(MOSFET)(図示せず)のチャネル領域を形成する工程および/またはNPNバイポーラ・トランジスタ(図示せず)のコレクタ領域を形成する工程と同一の工程で形成可能である。尚、ウエル22、24、26、28は、フィールド酸化物領域18の形成前または形成後のいずれ

でも形成可能であることを注記しておく。エピタキシャル層 16 内の対応するウエル 22、24、26、28 に隣接して、主面 17 から埋め込み層 15 まで達する、N 導電型のコンタクト領域 31、33、35、37、39 を形成する。コンタクト領域 31、33、35、37、39 のドーパント濃度は、好ましくは、ウエル 22、24、26、28 のそれよりも高くする。例えば、コンタクト領域 31、33、35、37、39 のドーパント濃度は、 1×10^{16} 原子/cm³ ないし 1×10^{21} 原子/cm³ である。コンタクト領域 31、33、35、37、39 は、埋め込み層 15 から主面 17 まで低抵抗導電路を備え、これらの導電路ことをシンカ (sinker) またはプラグ (plug) と呼ぶ。図 2 に示すように、コンタクト領域 31、33 はウエル 22 を挟持し、コンタクト領域 33、35 はウエル 24 を挟持し、コンタクト領域 35、37 はウエル 26 を挟持し、コンタクト領域 37、39 はウエル 28 を挟持する。言い換えると、ウエル 22 はコンタクト領域 31 をコンタクト領域 33 から分離し、ウエル 24 はコンタクト領域 33 をコンタクト領域 35 から分離し、ウエル 26 はコンタクト領域 35 をコンタクト領域 37 から分離し、ウエル 28 はコンタクト領域 37 をコンタクト領域 39 から分離する。本発明の一実施例によれば、ウエル、例えば、ウエル 22 は、1 対の対応するコンタクト領域、例えば、コンタクト領域 31、33 を、埋め込み層 15 の深さよりも大きな長さだけ、互いに分離する。この実施例では、コンデンサ 10 の下側プレートからエピタキシャル層 16 の主面 17 までの抵抗が最も低い導電路は、対応するウエル、例えば、ウエル 22、埋め込み層 15、および対応するコンタクト領域、例えば、コンタクト領域 31、33 を通過する。

【0010】ウエル 22、24、26、28 内に、主面 17 に隣接して、表面領域 42、44、46、48 をそれぞれ形成する。一実施例では、主面 42、44、46、48 を形成する場合、N 導電型のイオンを対応するウエル 22、24、26、28 に注入する。したがって、表面領域 42、44、46、48 のドーパント濃度は、ウエル 22、24、26、28 のそれよりも高い。表面領域 42、44、46、48 の高いドーパント濃度は、直列抵抗を減少させ、コンデンサ 10 の Q を高めるように作用する。別の実施例では、表面領域 42、44、46、48 は、P 導電型のイオンを対応するウエル 22、24、26、28 に注入することによって形成する。したがって、表面領域 42、44、46、48 のドーパント濃度は、ウエル 22、24、26、28 のそれよりも低い。表面領域 42、44、46、48 の低いドーパント濃度は、コンデンサ 10 の最小容量を減少させるように作用する。したがって、コンデンサ 10 の容量の変動範囲は拡大する。また、表面領域 42、44、46、48 のドーパント濃度は、最大容量値および最小容

量値を得るためにコンデンサ 10 に印加する必要がある電圧にも影響を与える。表面領域 42、44、46、48 を形成するプロセスは、標準的な MOS および/またはバイポーラ製造プロセスと適合性がある。例えば、表面領域 42、44、46、48 は、MOSFET (図示せず) 内のスレシホールド電圧調節領域を形成する工程と同じ工程で形成することができる。尚、表面領域 42、44、46、48 は、コンデンサ 10 ではオプションであることは理解されよう。

【0011】誘電体層、例えば、約 5 nm ないし約 30 nm の厚さを有する二酸化シリコン層を、主面 17 上に配する。導電層、例えば、約 100 nm ないし約 600 nm の厚さを有する多結晶シリコン層を、誘電体層上に配する。次に、導電層および誘電体層にパターニングを行い、ウエル 22、24、26、28 上にゲート構造を形成する。図 2 は、それぞれ、ウエル 22、24、26、28 の上に位置するゲート誘電体層 52、54、56、58、およびそれぞれゲート誘電体層 52、54、56、58 上の導電領域 53、55、57、59 を示す。言い換えると、導電領域 53 およびゲート誘電体層 52 が、ウエル 22 の上に位置するゲート構造 62 を形成し、導電領域 55 およびゲート誘電体層 54 がウエル 24 の上に位置するゲート構造 64 を形成し、導電領域 57 およびゲート誘電体層 56 がウエル 26 の上に位置するゲート構造 66 を形成し、導電領域 59 およびゲート誘電体層 58 がウエル 28 の上に位置するゲート構造 68 を形成する。ゲート誘電体層 52、54、56、58 の厚さは、コンデンサ 10 の最大容量を決定する。導電領域 53、55、57、59 は、マルチ・フィンガ構造コンデンサ 10 の 4 つのフィンガとして機能する。これらは互いに接続され、コンデンサ 10 の上側プレートとして機能する。好ましくは、直列抵抗を減少させコンデンサ 10 の Q を高めるように、導電領域 53、55、57、59 にドーピングを行う。導電領域 53、55、57、59 に P 導電型のイオンをドーピングするか、あるいは N 導電型のイオンをドーピングするかは、コンデンサ 10 が動作する電圧範囲に影響を与える。誘電体層、導電層、およびゲート構造 62、64、66、68 を形成する工程は、MOSFET (図示せず) のゲート構造を形成する工程と同じ工程で実施することができる。

【0012】例えば、窒化シリコン層のような絶縁層を、ゲート構造 62、64、66、68、および基板 11 上に堆積する。絶縁層にパターニングを行い、ゲート構造 62 に隣接してスペーサ 63 を形成し、ゲート構造 64 に隣接してスペーサ 65 を形成し、ゲート構造 66 に隣接してスペーサ 67 を形成し、ゲート構造 68 に隣接してスペーサ 69 を形成する。ゲート構造に隣接してスペーサを形成する技法は、当業者には既知である。

【0013】例えば、リンイオンまたはヒ素イオンのような N 導電型のイオンをエピタキシャル層 16 内に注入

し、対応するコンタクト領域31、33、35、37、39内に、ドーパ領域71、73、75、77、79を主面17に隣接して形成する。したがって、ドーパ領域71、73、75、77、79のドーパント濃度は、対応するドーパ領域71、73、75、77、79の下にあるコンタクト領域31、33、35、37、39のそれよりも高い。一例として、ドーパ領域71、73、75、77、79のドーパント濃度は、 1×10^{18} 原子/cm³ ないし 1×10^{22} 原子/cm³ である。ドーパ領域71、73、75、77、79は、対応するコンタクト領域31、33、35、37、39に、低抵抗コンタクトを与える。ドーパ領域71、73、75、77、79は、*n*-チャネルMOSFET（図示せず）のソースおよびドレイン領域を形成する工程および／またはNPバイポーラ・トランジスタ（図示せず）のエミッタ領域を形成する工程と同じ工程で形成することができる。尚、ドーパ領域71、73、75、77、79は、コンデンサ10ではオプションであることは理解されよう。

【0014】シリサイド構造、例えば、チタン・シリサイド構造を、エピタキシャル層16上に形成する。シリサイド構造は、それぞれ、コンタクト領域31、33、35、37、39の上に位置しこれらと電氣的に結合されたシリサイド領域81、83、85、87、89、およびそれぞれゲート構造62、64、66、68の上に位置しこれらと電氣的に結合されたシリサイド領域82、84、86、88を含む。シリサイド領域81、82、83、84、85、86、87、88、89は、スペーサ63、65、67、69と整合させる。したがって、これらのことを、自己整合シリサイド（サリサイド）領域とも呼ぶ。シリサイド領域82、84、86、88を互いに接続し、導電構造を形成し、コンデンサの第1電極として機能させる。シリサイド領域81、83、85、87、89を互いに接続し、別の導電構造を形成し、コンデンサ10の第2電極として機能させる。尚、コンデンサ10の電極は、チタン・シリサイド構造で形成することには限定されないことは理解されよう。これらは、例えば、タングステン・シリサイド、モリブデン・シリサイド、コバルト・シリサイド構造等のような他のタイプの導電構造からも形成可能である。更に、シリサイド領域81、82、83、84、85、86、87、88、89は、コンデンサ10ではオプションである。

【0015】続いて、基板11上に、層間誘電体（ILD：Interlayer Dielectric）として機能する酸化物層（図示せず）を形成する。当技術分野では既知の技法を用いて、ILD内にメタライゼーション領域（図示せず）を形成し、コンデンサ10の電極を、ILDの上面および／または基板11上に製造される他のデバイス（図示せず）に導く。一実施例では、1つのメタライゼーション領域をシリサイド領域82、84、86、88

に接続し、コンデンサ10の第1電極として機能させ、他のメタライゼーション領域をシリサイド領域81、83、85、87、89に接続し、コンデンサ10の第2電極として機能させる。コンデンサ10の別の実施例では、コンデンサ10がシリサイド領域81、82、83、84、85、86、87、88、89を含まない場合もあり、コンデンサ10の第1電極として機能するメタライゼーションは、導電領域53、55、57、59と直接接触し、コンデンサ10の第2電極として機能するメタライゼーション領域は、コンタクト領域31、33、35、37、39と直接接触する。

【0016】尚、コンデンサ10の構造は、図1および図2に示し、これまでに説明してきたものに限定されるのではないことは理解されよう。例えば、コンデンサ10は、図1および図2に示すような4フィンガ構造を有することには限定されない。コンデンサ10は、例えば、2、3、5、6等、あらゆる数のフィンガでも有することができる。また、コンデンサ10は、互いに結合された複数のマルチ・フィンガ・エレメントを含むことも可能である。各マルチ・フィンガ・エレメントは、先に説明し図1および図2に示した構造と同様の構造を有する。対応するコンタクト領域31、33、35、37、39の上に位置するシリサイド領域81、83、85、87、89は、図1に示すような、互いに接続された構造には限定されない。これらは、ILD（図示せず）内に形成されたメタライゼーション領域（図示せず）を介して、互いに電氣的に結合することができる。同様に、対応するゲート構造62、64、66、68の上に位置するシリサイド領域82、84、86、88は、図1に示すような、互いに接続されたものには限定されない。これらは、ILD（図示せず）内に形成されたメタライゼーション領域（図示せず）を介して互いに電氣的に結合することができる。更に、コンデンサ10は、*N*導電型の埋め込み領域15、*N*導電型のウエル22、24、26、28、および*N*導電型コンタクト領域31、33、35、37、39を有することには限定されない。本発明の別の実施例には、埋め込み領域15、ウエル22、24、26、28、およびコンタクト領域31、33、35、37、39が*P*導電型の場合もある。

【0017】動作において、コンデンサ10の容量は、ゲート構造62、64、66、68およびコンタクト領域31、33、35、37、39間に印加される電圧を調節することによって制御する。約1ボルトの電圧範囲に対して、コンデンサ10の容量は、約5倍変動することができる。コンデンサ10の*Q*は、コンデンサ10が約1ギガヘルツの周波数で動作する場合、約15以上に達することができる。加えて、ゲート構造62、64、66、68はMOSゲート構造であるので、コンデンサ10の漏れは非常に少ない。

【0018】以上の説明から、電圧可変コンデンサおよびこの電圧可変コンデンサの製造方法が提供されたことが認められよう。バラクタと比較すると、本発明の電圧可変コンデンサは、 Q が高く漏れが少ない。また、電圧可変コンデンサは、小さな電圧範囲に対して大きな容量範囲を有する。電圧可変コンデンサは、モノリシック半導体チップ内に、他の集積回路デバイスと共に製造することができる。更に、電圧可変コンデンサの製造方法は、既存の半導体集積回路製造プロセスと適合性がある。したがって、本発明の電圧可変コンデンサは、コスト効率がよく、例えば、携帯ワイヤレス通信用途のような、低電圧用途における使用に適している。

【図面の簡単な説明】

【図1】本発明による可変コンデンサの概略平面図。

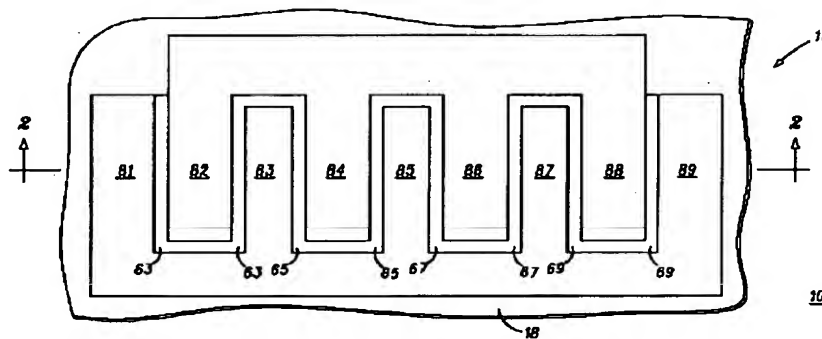
【図2】図1の可変コンデンサの切断線2-2に沿った概略断面図。

【符号の説明】

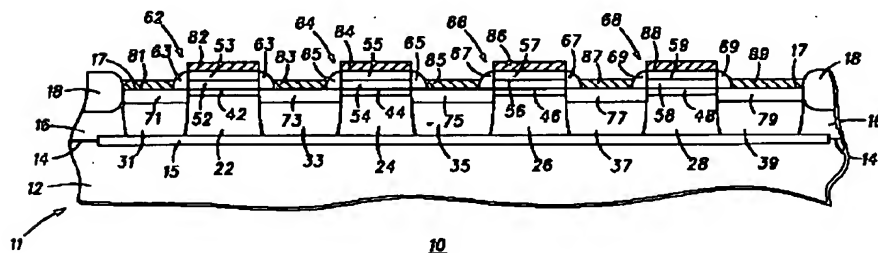
10 電圧可変コンデンサ

11 半導体物質の本体
12 半導体基板
15 ドープ層
16 半導体物質の層
17 主面
18 フィールド酸化物領域
22, 24, 26, 28 N導電型ウエル
31, 33, 35, 37, 39 N導電型のコンタクト領域
42, 44, 46, 48 表面領域
52, 54, 56, 58 ゲート誘電体層
53, 55, 57, 59 導電領域
62, 64, 66, 68 ゲート構造
63, 65, 67, 69 スペース
71, 73, 75, 77, 79 ドープ領域
81, 82, 83, 84, 85, 86, 87, 88, 89 シリサイド領域

【図1】



【図2】



フロントページの続き

(72) 発明者 ケネス・ディ・コーネット
アメリカ合衆国フロリダ州コーラル・スプリングス、ノース・ウェスト38ス・ドライブ6370